

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-115143

(43)Date of publication of application : 08.05.1989

(51)Int.Cl.

H01L 21/94

(21)Application number : 62-271937

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.10.1987

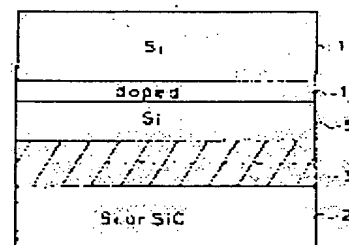
(72)Inventor : ARIMOTO YOSHIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To contrive the improvement in the surface characteristics of a semiconductor surface by a method wherein the second semiconductor substrate and the oxide semiconductor layer on the first semiconductor substrate are adhered and formed in one body, and the auto-doped layer formed between the first semiconductor substrate and the oxide semiconductor layer is removed by chemical and mechanical polishing and etching.

CONSTITUTION: A single semiconductor layer 5 is formed on the first semiconductor substrate 1, an oxide semiconductor layer 3 is formed on the single crystal semiconductor layer 5, the oxide semiconductor layer 3 is heated up while it is brought into contact with the second semiconductor substrate 2 consisting of Si or SiC, and the second semiconductor substrate 2 and the oxide semiconductor layer 3 are adhered with each other and integrally formed. Then, the greater part of the thickness of the first semiconductor substrate 1 is removed by chemical and mechanical polishing, the remaining part of the thickness of the first semiconductor substrate 1 is removed by selective etching, and the auto-doped layer 11 unavoidably formed between the first semiconductor substrate 1 and the oxide semiconductor layer 3 is removed by non-selective etching. As a result, the surface characteristics of the semiconductor surface can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2584639号

(45) 発行日 平成9年(1997)2月26日

(24) 登録日 平成8年(1996)11月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12			H 0 1 L 27/12	B

発明の数1(全 4 頁)

(21) 出願番号	特願昭62-271937	(73) 特許権者	999999999 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	昭和62年(1987)10月29日	(72) 発明者	有本 由弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(65) 公開番号	特開平1-115143	(74) 代理人	弁理士 寒川 誠一
(43) 公開日	平成1年(1989)5月8日	審査官	河本 充雄

(54) 【発明の名称】 半導体基板の製造方法

1

(57) 【特許請求の範囲】

【請求項1】第1の半導体基板(1)上に単結晶半導体層(5)を形成し、
該単結晶半導体層(5)上に酸化半導体層(3)を形成し、
該酸化半導体層(3)を第2の半導体基板(2)と接触させながら加熱して、前記第2の半導体基板(2)と前記酸化半導体層(3)とを接着して一体化し、
ケミカルメカニカル研磨法を使用して、前記第1の半導体基板(1)の厚さの大部分を除去し、
選択エッチング法を使用して、前記第1の半導体基板(1)の厚さの残部を除去し、
非選択性エッチング法を使用して、前記第1の半導体基板(1)と前記酸化半導体層(3)との間に不可避的に形成されていたオートドープ層(11)を除去する工程を

2

有することを特徴とする半導体基板の製造方法。

【請求項2】前記第2の半導体基板(2)が前記酸化半導体層(3)に接触する面にも酸化半導体層(3)を形成する工程を有することを特徴とする特許請求の範囲第1項記載の半導体基板の製造方法。

【請求項3】前記第2の半導体基板(2)はシリコン基板または炭化シリコン基板であることを特徴とする特許請求の範囲第2項記載の半導体基板の製造方法。

【発明の詳細な説明】

【概要】

絶縁物膜上に半導体膜が形成されているSOI基板を製造する方法の改良に関し、
貼り合わされた2枚のシリコンウェーハの一方を薄膜

化する工程に要する時間が短く、素子が形成されることとなる半導体面の表面特性が良好となる利益を有する貼り合わせSOI基板の製造方法を提供することを目的とし、

第1の半導体基板上に単結晶半導体層を形成し、該単結晶半導体層上に酸化半導体層を形成し、該酸化半導体層を第2の半導体基板、または、シリコンまたは炭化シリコン（熱膨張係数が第1の半導体基板と同一または近似しており、その上に第1の半導体の層が形成しうるか、または、第1の半導体の層との貼り合わせが可能である材料）の層に形成された酸化半導体層と接触させながら加熱して、前記第2の半導体基板と前記酸化半導体層とを接着して一体化し、ケミカルメカニカル研磨法を使用して、前記第1の半導体基板の厚さの大部分を除去し、選択エッチング法を使用して、前記第1の半導体基板の厚さの残部を除去し、次に、非選択性エッチング法を使用して、前記第1の半導体基板と前記酸化半導体層との間に不可避的に形成されていたオートドープ層を除去して製造するように構成される。

〔産業上の利用分野〕

本発明は、半導体基板の製造方法の改良に関する。特に、絶縁物膜上に半導体膜が形成されているSOI基板（貼り合わせSOI基板）を製造する方法の改良に関する。

〔従来の技術〕

いわゆるSOI基板を製造する方法の1種に、2枚のシリコンウェーハの少なくとも1枚を酸化して、その少なくとも1方の表面に1 μ m以下の厚さ例えば厚さ0.5 μ mの二酸化シリコン膜を形成し、これらの2枚のシリコンウェーハを、上記の二酸化シリコン膜が中間層になるように重ね合わせた状態で、800 \sim 1,200 $^{\circ}$ C程度に加熱して2枚のシリコンウェーハを貼り合わせて一体化し、上層のシリコンウェーハを研磨またはエッチング等して薄膜化するSOI基板の製造方法が知られている。本発明は、このSOI基板（貼り合わせSOI基板）の製造方法の改良である。

〔発明が解決しようとする問題点〕

上記のSOI基板（貼り合わせSOI基板）の製造方法は、下記の欠点を免れない。

2枚のシリコンウェーハを貼り合わせた後、その中に素子が形成される側のシリコンウェーハを薄膜化する方法には、上記のとおり、エッチング法と研磨法とがある。

エッチング法を使用する場合は、シリコンの抵抗率（含有する不純物濃度）にもとづいてエッチングレートが大幅に相違する選択エッチング法が使用され、この選択エッチング法に使用されるエッチャントには、フッ硝酸サク酸系のエッチャントが使用されている。この選択エッチング法を使用する場合は、エッチングレートが数 μ m/分と遅いため薄膜化に長時間を要するばかりでなく、

上記の選択エッチング法をもっては、上記の単結晶層5の形成工程においてシリコン基板1と単結晶層5との間に不可避的に形成される厚さ約1 μ mのオートドープ層領域の除去が困難であり、しかも、エッチングされた表面の表面特性が良好ではないという欠点がある。

また、研磨法を使用する場合は、研磨された表面がいくらか傾斜することを免れず、ウェーハの膜厚が、所によって不均一になりやすいという欠点がある。

本発明の目的は、これらの欠点を解消することにより、2枚の半導体ウェーハの少なくとも1枚を酸化して、その少なくとも1方の表面に1 μ m以下の厚さ例えば0.5 μ mの半導体の酸化膜を形成し、これらの2枚の半導体ウェーハを、上記の半導体の酸化膜が中間層になるように重ね合わせ、この状態で加熱して2枚の半導体ウェーハを貼り合わせてなすSOI基板の製造方法において、貼り合わされた2枚のシリコンウェーハの一方を薄膜化する工程に要する時間が短く、素子が形成されることとなる半導体面の表面特性が良好となる利益を有する貼り合わせSOI基板の製造方法を提供することにある。

〔問題点を解決するための手段〕

上記の目的は、第1の半導体基板（1）上に単結晶半導体層（5）を形成し、該単結晶半導体層（5）上に酸化半導体層（3）を形成し、該酸化半導体層（3）を第2の半導体基板（2）と接触させながら加熱して、前記第2の半導体基板（2）と前記酸化半導体層（3）とを接着して一体化し、ケミカルメカニカル研磨法を使用して、前記第1の半導体基板（1）の厚さの大部分を除去し、選択エッチング法を使用して、前記第1の半導体基板（1）の厚さの残部を除去し、次に、非選択性エッチング法を使用して、前記第1の半導体基板（1）と前記酸化半導体層（3）との間に不可避的に形成されていたオートドープ層（11）を除去して、貼り合わせSOI基板を製造することによって達成される。

前記第2の半導体基板（2）が前記酸化半導体層（3）に接触する面にも酸化半導体層（3）を形成すると、貼り合わせ工程が容易となるほか、絶縁物層の厚さも十分確保しうる。

前記第2の半導体基板（2）に要求される要件は、熱膨張係数が第1の半導体基板（1）と同一または近似しており、その上に第1の半導体の層が形成しうるか、または、第1の半導体の層との貼り合わせが可能であるということに尽きるが、シリコンまたは炭化シリコンが現実的に有利である。

〔作用〕

本発明に係る半導体基板の製造方法における薄膜化工程の主要部は研磨工程であるから、薄膜化工程に要する時間は短く、研磨されずに残留した半導体層は選択エッチング法を使用して除去されるので、ウェーハの膜厚が所によって不均一になるということはなく、膜厚の面内分布はすぐれており、素子の形成される領域はエビタキ

シャル成長法を使用して形成された半導体単結晶層であるから、素子の形成される半導体面の表面特性は良好である。

〔実施例〕

以下、図面を参照しつつ、本発明の一実施例に係る半導体基板の製造方法について説明する。

第1a図参照

厚さが約500 μm の第1のシリコン基板1（抵抗が0.01 Ωcm 以下のp型が望ましい）上に、CVD法を使用して、0.05 Ωcm 以上のnまたはp型のシリコン単結晶層5を厚さ2 μm に形成する。この第1のシリコン基板1の抵抗が0.01 Ωcm 以下のp型であることが望ましい理由は、次の工程でなす選択エッチングにおけるエッチングレート

の選択比を確保するためである。

このとき、単結晶層5と第1のシリコン基板1との間に厚さ約1 μm のオートドープ層11が不可避的に形成される。

1,100 $^{\circ}\text{C}$ の酸化温度において、約1時間スチーム酸化をなして単結晶層5上に二酸化シリコン層3を厚さ0.5 μm に形成する。

第1b図参照

第2の半導体基板2（この基板に要求される要件は熱膨張係数がシリコン基板1と同一または近似しており、その上に二酸化シリコン層が形成しうるか、または、二酸化シリコン層との貼り合わせが可能であるということであり、シリコンまたは炭化シリコンが現実的である。）に、所望により、1,100 $^{\circ}\text{C}$ の酸化温度において、約1時間スチーム酸化をなして二酸化シリコン層3を厚さ0.5 μm に形成する。

なお、この1,100 $^{\circ}\text{C}$ の酸化温度において、約1時間スチーム酸化をなして二酸化シリコン層3を厚さ0.5 μm に形成する工程は必須ではなく、上記の第2の半導体基板2自身に対し、次工程を適用してもよい。

第1c図参照

第1の半導体基板1（具体的には上記の第1のシリコン基板1）と第2の半導体基板2（具体的には上記のシリコン基板または炭化シリコン基板）とを、二酸化シリコン層3が相互に接触するように重ね合わせ、880~1,200 $^{\circ}\text{C}$ の温度において約1時間熱処理して二酸化シリコン層3同志を貼り合わせて一体化する。

第1d図参照

ケミカルメカニカル研磨法を使用して、第1の半導体基板1（具体的には上記の第1のシリコン基板1）の厚さを50~200 μm に減少する。このケミカルメカニカル研磨法を使用して減少される膜厚はなるべく大きい方がよい（残留する膜厚は薄い方がよい）。残留している膜厚が厚いと、次工程で選択エッチングする量が増加し、処理時間短縮の効果が減殺されるばかりでなく、選択エッチングする量が増加すると、表面特性も悪化するばかりでなく、最終工程としてなされる仕上げ研磨量が増加

し、膜厚が不均一になりやすいからである。

第1e図参照

フッ酸・硝酸・サク酸を1:3:8の割合で含むエッチャントを使用してなす選択エッチング法を使用して、残留している第1の半導体基板1（具体的には上記の第1のシリコン基板1）を除去する。第1の半導体基板1（具体的には上記の第1のシリコン基板1）とオートドープ層11とは不純物濃度が大幅に相違するので、選択エッチング法は、オートドープ層11の上で停止する。

第1f図参照

次に、フッ酸と硝酸を1:30の割合に含む溶液あるいは水酸化カリウム50%水溶液のエッチャントを使用するウェットエッチング法、または、四フッ化炭素を反応性ガスとするドライエッチング法を使用してオートドープ層11を除去する。

最後に、ケミカルメカニカル研磨法よりなる仕上げ研磨を極めて僅かになして、シリコン単結晶層5上に不可避的に僅かに形成されている凹凸を除去する。

〔発明の効果〕

以上説明せるとおり、本発明に係る半導体基板（貼り合わせSOI基板）は、第1の半導体基板上に単結晶半導体層を形成し、該単結晶半導体層上に酸化半導体層を形成し、該酸化半導体層を第2の半導体基板、または、シリコンあるいは炭化シリコン（熱膨張係数が第1の半導体基板と同一または近似しており、その上に第1の半導体の層が形成しうるか、または、第1の半導体の層との貼り合わせが可能である材料）の層に形成された酸化半導体層と接触させながら加熱して、前記第2の半導体基板と前記酸化半導体層とを接着して一体化し、ケミカルメカニカル研磨法を使用して、前記第1の半導体基板の厚さの大部分を除去し、選択エッチング法を使用して、前記第1の半導体基板の厚さの残部を除去し、次に、非選択性エッチング法を使用して、前記第1の半導体基板と前記酸化半導体層との間に不可避的に形成されていたオートドープ層を除去して製造すること、されているので、薄膜化に要する時間が短く（研磨法の効果）、素子が形成されること、なる半導体面はエピタキシャル成長された半導体単結晶層であり、凹凸を発生させる可能性のあるエッチング工程にはあまり曝されないの、この素子が形成されること、なる半導体面の表面特性は良好である。

〔図面の簡単な説明〕

第1a~1d図は、本発明の一実施例に係る半導体基板の製造方法の主要工程図である。

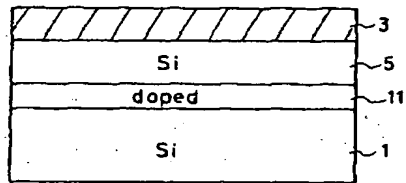
- 1……第1の半導体基板（抵抗が0.01 Ωcm 以下のp型シリコン基板）、
- 2……第2の半導体基板（シリコンまたは炭化シリコン基板）、
- 3……酸化半導体層（二酸化シリコン層）、
- 5……半導体単結晶層（その中に素子が形成される

層)、

* おいて、不可避免的に形成されるオートドーブ層。

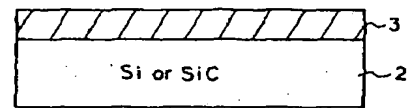
11……酸化半導体層(二酸化シリコン層)の形成工程に*

【第1a図】



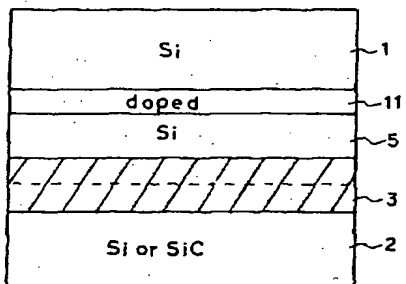
本発明

【第1b図】



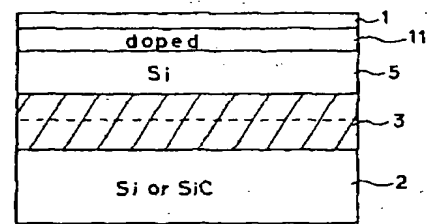
本発明

【第1c図】



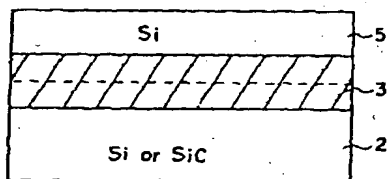
本発明

【第1d図】



本発明

【第1e図】



本発明